

Cognome	Nome	Matricola

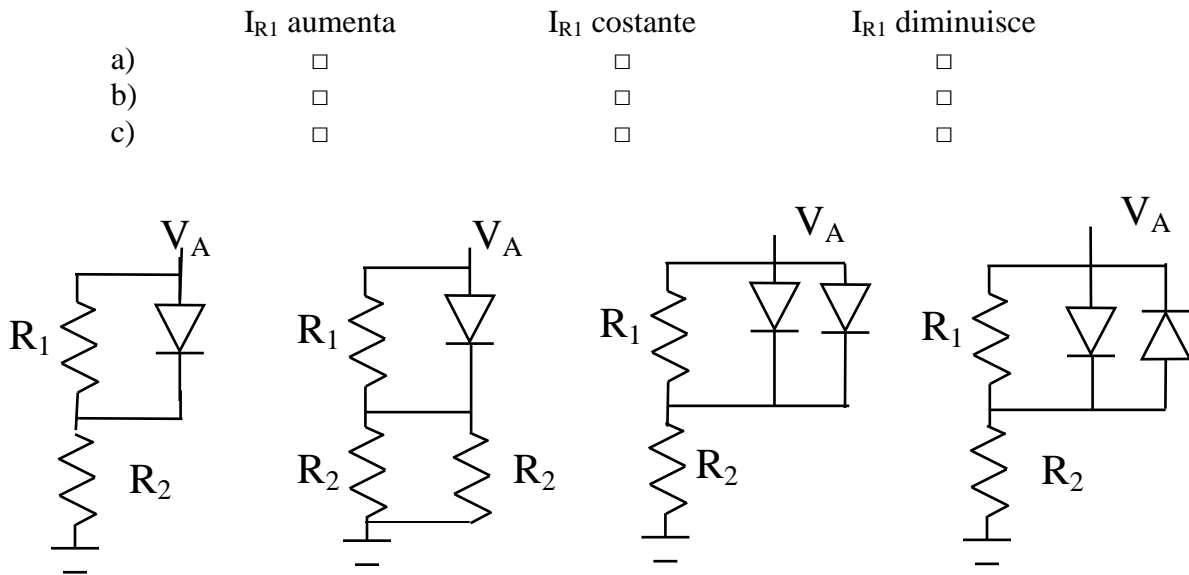
Le domande 1, 2 e 3 non assegnano nessun punto in caso di risposta corretta, mentre comportano una penalizzazione di 2 punti ciascuna in caso di risposta errata o di mancata risposta.

Le domande successive assegnano 1.5 punti ciascuna se la risposta è corretta, 0 punti se non viene fornita nessuna risposta, -0.5 punti se la risposta è errata.

1. Con riferimento al circuito di Figura 1, indicare il valore della corrente I_{R_1} (corrente che attraversa R_1) assumendo: $V_A = 5\text{ V}$, $R_1 = 100\ \Omega$, $R_2 = 200\ \Omega$, V_D (tensione ai capi del diodo quando in conduzione) = 0.7 V

$I_{R_1} =$

2. Con riferimento ai circuiti di Figura 2, indicare nei 3 casi a), b), e c) se la corrente che attraversa R_1 aumenta, rimane costante o diminuisce rispetto al valore calcolato alla domanda precedente



3. Qual è la massima tensione che può essere generata in uscita di un convertitore digitale-analogico a 10 bit e per il quale alla configurazione di ingresso 0000000001 corrisponde la tensione di uscita di 0.012 V ?

a) $\cong 1.22\text{ V}$ b) $\cong 3.05\text{ V}$ c) $\cong 6.1\text{ V}$ d) $\cong 12.2\text{ V}$ e) $\cong 24.4\text{ V}$

4. Calcolare la capacità di accoppiamento tra due piste metalliche poste sullo stesso livello di metallizzazione, immerse in ossido di silicio ($\epsilon_0 = 8.86 \cdot 10^{-14}$ F/cm, $\epsilon_r = 4$), lunghe 0.8 cm, larghe $2 \mu\text{m}$, spesse $1 \mu\text{m}$ e distanti $2.5 \mu\text{m}$

- a) 11 fF b) 110 fF c) 1.1 pF d) 11 pF e) 110 pF
 f) 22 fF g) 220 fF h) 2.2 pF i) 22 pF j) 220 pF

5. Con riferimento al transistor in Figura 3 in cui $V_G = 5$ V, $V_X = 3$ V, $V_Y = 2$ V, $V_{T0} = 1$ V, $V_B = 0$ V

- a) il transistor non conduce
 b) il transistor conduce ed è in regione triodo
 c) il transistor conduce ed è in saturazione

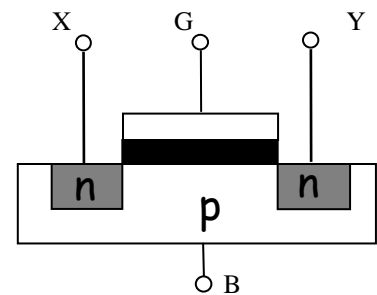


Figura 3

6. Indicare la funzione logica realizzata dal circuito di Figura 4

- a) $O = \overline{(A+B)C+D}$ b) $O = \overline{AB+C+D}$
 c) $O = \overline{(AB+C)D}$ d) $O = \overline{ABD+C}$

7. Con riferimento al circuito di Figura 4, indicare quale fra le seguenti configurazioni va considerata per la determinazione del tempo di discesa? (per ogni segnale con = si intende che il valore in ingresso rimane costante al valore logico indicato mentre con \rightarrow si intende che il segnale commuta)

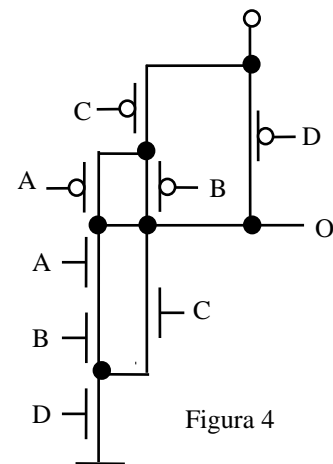


Figura 4

- a) $A = B = 0$; $C = 1$; $D: 0 \rightarrow 1$ b) $A: 0 \rightarrow 1$; $B = D = 1$; $C = 0$
 c) $A: 0 \rightarrow 1$; $B = C = D = 1$ d) $A = B = D = 1$; $C: 0 \rightarrow 1$

8. Un invertitore CMOS che deve pilotare una capacità di valore molto elevato deve essere dimensionato con fattori di forma adeguatamente elevati. Ciò comporta:

- a) valori di soglia logica diversi rispetto al valore tipico $V_{DD}/2$
 b) un aumento del rumore dovuto alle commutazioni simultanee in quanto l'invertitore viene posto all'uscita del circuito
 c) una diminuzione dei margini di immunità ai disturbi in ingresso all'invertitore
 d) tempi più lunghi per caricare/scaricare la tensione di ingresso dell'invertitore

9. Quale delle seguenti affermazioni NON è vera relativamente al consumo di potenza statico di un invertitore:
- a) dipende dalla corrente che scorre tra l'alimentazione positiva e la massa in condizioni stazionarie
 - b) dipende dalla corrente che viene erogata dall'alimentazione in condizioni stazionarie
 - c) dipende dalla corrente assorbita dalla capacità di carico in condizioni stazionarie
10. Nelle memorie ad accesso casuale il tempo di accesso
- a) non dipende dalla realizzazione circuitale dei decodificatori
 - b) non dipende dalla posizione delle celle all'interno della matrice di celle
 - c) non dipende dalla realizzazione circuitale del circuito di sensing.
11. Le memorie DRAM, a parità di numero di BIT memorizzati, occupano meno area rispetto ad una memoria SRAM in quanto:
- a) i sense amplifier sono in numero inferiore
 - b) il consumo di potenza è inferiore e quindi i transistori del decoder possono essere più piccoli
 - c) la singola cella occupa un'area molto inferiore
 - d) la corrente che attraversa le bit line è inferiore e quindi la larghezza delle bit lines può essere inferiore
12. In una linea di trasmissione, noti i valori di Z_0 e C (capacità per unità di lunghezza), è possibile risalire alla velocità di propagazione v del segnale lungo la linea.
- a) l'affermazione è falsa in quanto deve essere nota anche la costante dielettrica del dielettrico che circonda la linea.
 - b) l'affermazione è falsa in quanto deve essere nota la lunghezza della linea
 - c) l'affermazione è vera e vale $v = 1/(Z_0C)$
 - d) l'affermazione è vera e vale $v = Z_0/C$
13. Per diminuire gli effetti resistivi delle interconnessioni è possibile aumentarne l'altezza in modo da aumentarne la sezione. Ciò comporta delle controindicazioni. Quale delle seguenti controindicazioni è falsa?
- a) aumentano le capacità tra linee adiacenti
 - b) aumentano le capacità tra linee di livelli diversi
 - c) aumentano i problemi di crosstalk in quanto diminuiscono, percentualmente, le capacità verso massa